

SEMICONDUCTOR DEVICE

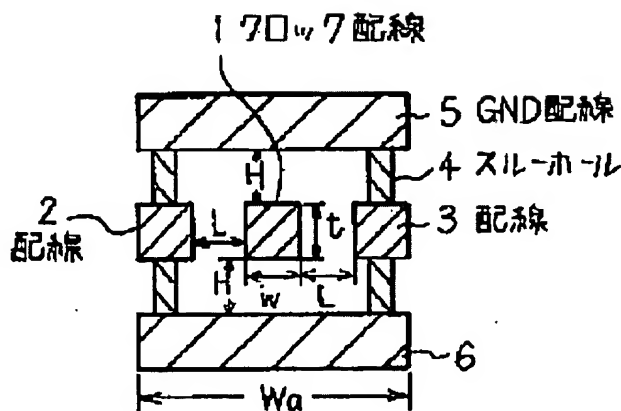
Patent number: JP8274167
Publication date: 1996-10-18
Inventor: NOMURA MASAHIRO
Applicant: NIPPON ELECTRIC CO
Classification:
- international: **H01L21/768; H01L21/822; H01L27/04; H01L21/70; H01L27/04; (IPC1-7): H01L21/768; H01L21/822; H01L27/04**
- european:
Application number: JP19950073095 19950330
Priority number(s): JP19950073095 19950330

Report a data error here

Abstract of JP8274167

PURPOSE: To provide a clock signal wire structure for integrated circuits operated at high frequencies, which can be designed easily by estimating the delay of clock signals with high accuracy and can suppress the abrupt characteristic deterioration of clock signals when the structure is made finer.

CONSTITUTION: Wirings 2 and 3 are arranged on both sides of a clock wiring 1 with insulating layers having a fixed width L in between and GND wirings 5 and 6 which are respectively arranged above and below the area containing the wirings 1, 2, and 3 with insulating layers having a fixed thickness H in between are connected to the clock wiring 1 and the wirings 2 and 3 through a through hole 4 and the clock wiring 1 is shielded from noise.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-274167

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	21/768		H 0 1 L	21/90	J
	27/04			27/04	D
	21/822				

審査請求 有 請求項の数 2 O L (全 4 頁)

(21)出願番号 特願平7-73095

(22)出願日 平成7年(1995)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野村 昌弘

東京都港区芝五丁目7番1号 日本電気株式会社内

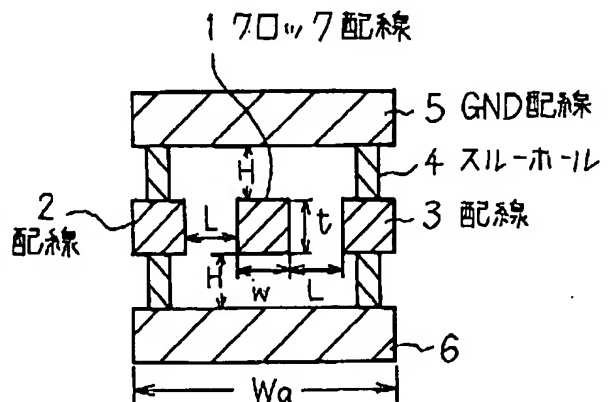
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】高周波動作集積回路用に、クロック信号遅延を高精度に見積り可能で設計の容易な、また、微細化にともなうクロック信号の急峻特性劣化を抑制できるクロック信号線構造を提供する。

【構成】クロック配線1の左右にそれぞれ一定の幅Lの絶縁層を介して配線2、3を配置し、クロック配線1および配線2、3を含む領域の上下に一定の厚さHの絶縁層を介して配置したGND配線5、6と配線2、3をスルーホール4を介して接続し、クロック配線1をノイズよりシールドしている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体基板上に形成したクロック配線と、前記クロック配線の左右にそれぞれ一定の幅の絶縁層を介して配置した第1の配線と、前記クロック配線および左右の前記第1の配線を含む領域の上下にそれぞれ一定の厚さの絶縁層を介して配置した第2の配線を有し且つ前記第1および第2の配線のそれぞれが少くとも1つの基準電位に設定されていることを特徴とする半導体装置。

【請求項2】 木構造によりクロック信号を供給するクロックツリーの階層毎にクロック配線の断面寸法および前記クロック配線と第1の配線との間隔を変えた請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特にクロック信号線を有する半導体装置に関する。

【0002】

【従来の技術】 半導体装置の動作周波数の上昇にともない、同期回路においては、同期信号であるクロック信号の位相のずれ（クロックスキュー）が問題となる。クロックスキュー低減の1手法としてプロシーディングズ・オブ・ザ・アイ・イー・イー・イー・1992・カスタム・インテグレートッド・サーキット・コンファレンス（Proceedings of the IEEE 1992 CUSTOMINTEGRATED CIRCUITS CONFERENCE）28, 3, 1-28, 3, 4頁に記載されているように、Hツリーに代表される木構造に基づきファンアウトや配線長を等しくし、供給されるそれぞれのクロック信号遅延を揃えて分配する方法が知られている。

【0003】 また、クロックスキューの原因として、プロセスのばらつきや、隣接配線又は上下配線とのカップリングノイズによる遅延のずれも考えられるが、その影響を正確に見積るのは困難である。

【0004】

【発明が解決しようとする課題】 この従来の半導体装置では、クロックの位相を高精度に揃えるには、クロックツリーによる等長配線設計においても、単位長さあたりの配線負荷は上下左右のボタンに依存し一定でなく、各レジスタのクロック入力までのクロック信号遅延を揃えるために、隣接配線との距離や上下のボタンによる寄生容量値の正確な見積りのために膨大な計算を必要とし、その上、計算のもとになるパラメータは配線密度や下層ボタンに依存するプロセス上のばらつきの影響を受けるため正確な見積り自体が容易でないという問題点があった。さらに、今後の一層の微細化の進展により、配線抵抗の増大や隣接配線間容量の増大といった配線負荷の増加による信号波形の急峻特性の劣化によりクロック周波数の限界も懸念されるが、その劣化を抑制するためのク

ロック信号線構造に関する技術も不可欠である。

【0005】 本発明の目的は、設計が容易な高周波用集積回路のクロック信号線を有する半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板上に形成したクロック配線と、前記クロック配線の左右にそれぞれ一定の幅の絶縁層を介して配置した第1の配線と、前記クロック配線および左右の前記第1の配線を含む領域の上下にそれぞれ一定の厚さの絶縁層を介して配置した第2の配線を有し且つ前記第1および第2の配線のそれぞれが少くとも1つの基準電位に設定されている。

【0007】

【実施例】 次に、本発明について図面を参照して説明する。

【0008】 図1は本発明の第1の実施例を示す断面図である。

【0009】 図1に示すように、幅 w 、厚さ t の断面寸法を有するクロック配線1の左右にそれぞれ幅 l の絶縁層を介してクロック配線1とほぼ同じ断面寸法の配線2, 3を配置し、これらのクロック配線1および配線2, 3を含む領域の上下にそれぞれ厚さ H の絶縁層を介して配線2の外側面から配線3の外側面までの寸法に相当する幅 w 、のGND（接地）配線5, 6を有し、配線2, 3の上下の絶縁層に形成したスルーホール4に埋込まれた導電層を介して配線2, 3がGND配線5, 6に接続されて構成され、ノイズシールドとして機能させ、且つ単位長さ当りの配線負荷を均一にしている。

【0010】 図2は本発明の第2の実施例を示す断面図である。

【0011】 図2に示すように、GND配線5の代りに電源配線7を配置し、スルーホール4を介して配線2を電源配線7に接続し、同様に配線3をGND配線6に接続した以外は第1の実施例と同様の構成を有している。

【0012】 図3は本発明の第3の実施例を説明するためのブロック図、図4（a）、（b）は第3の実施例を示す断面図である。

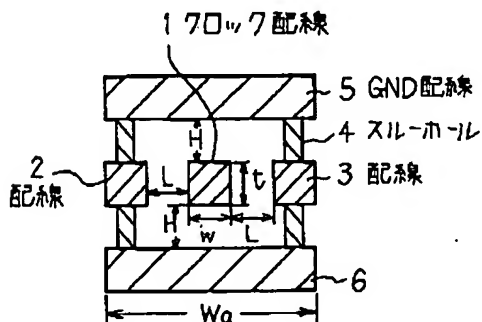
【0013】 図3に示すように、インバータ103に印加されたクロック信号を各レジスタ105へ低スキューで供給するために、インバータ103からインバータ104までのクロック信号線101とインバータ104からレジスタ105までのクロック信号線102のそれぞれを各レジスタ105までの配線長が等しくなるようにHツリー構造とし、各クロック信号線101, 102にクロック信号を供給するインバータ103, 104が分岐点の手前に配置される。

【0014】 ここで、クロック信号線101は図4（a）に示すように、幅 w 、厚さ t の断面寸法を有するクロック配線1の左右にそれぞれ幅 l の絶縁層を介して

設けた配線 2 2, 2 3 と、これらを含む領域の上下に厚さ H の絶縁層を介して形成し、且つスルーホール 2 4 を介して配線 2 2, 2 3 に接続した GND 配線 2 5, 2 6 を有して構成され、ノイズシールドとして機能させている。また、クロック信号線 1 0 2 は図 4 (b) に示すように、幅 $w/2$ 、厚さ t の断面寸法を有するクロック配線 2 1 の左右にそれぞれ幅 $L/2$ の絶縁層を介して配置した配線 2 2, 2 3 と、これらを含む領域の上下に厚さ H の絶縁層を介して形成し、且つスルーホール 1 4 を介して配線 2 2, 2 3 に接続した GND 配線 2 7, 2 8 を有して構成され、ノイズシールドされる。ここで、クロック信号線 1 0 2 はクロック信号線 1 0 1 に対して配線抵抗は断面積に反比例するため 2 倍となり、容量は平行平板の場合は距離に反比例するため隣接配線との容量が約 2 倍、上下は面積が半分となり約 0.5 倍 $L=H$ と仮定すると全容量は約 1.25 倍である。微細化は横方向に進む傾向があり、 $L<H$ と仮定すれば容量は 2 倍に近づく。微細化により配線容量および配線抵抗が増大する。

【0 0 1 5】

【図 1】



4

【発明の効果】以上説明したように本発明は、半導体基板に形成されたクロック配線の左右に一定の幅の絶縁層を介し、且つその上下に一定の厚さの絶縁層を介して基準電位に接続された導電層を配置させることにより、クロックスキューの低減とクロック信号の急峻特性劣化防止に寄与し、クロック信号遅延の高精度設計を容易にするという効果がある。

【図面の簡単な説明】

【図１】本発明の第１の実施例を示す断面図。

【図 2】 本発明の第 2 の実施例を示す断面図。

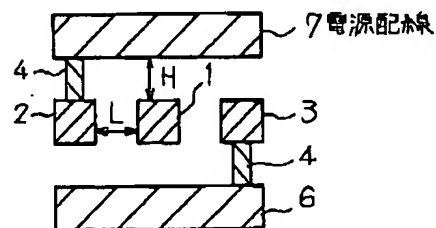
【図3】本発明の第3の実施例を説明するためのブロック図。

【図4】本発明の第3の実施例を示す断面図。

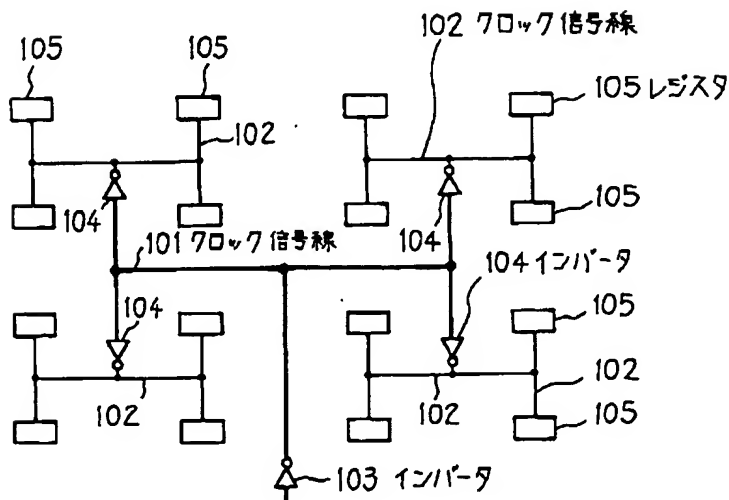
【符号の説明】

- 1 クロック配線
2, 3, 22, 23 配線
4, 24 スルーホール
5, 6, 25, 26, 27, 28 GND配線
7 電源配線

【図2】



【図 3】



【図4】

